

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-283001

(43)Date of publication of application : 03.10.2003

(51)Int.Cl.

H01L 43/08  
G11C 11/15  
H01F 10/16  
H01F 10/32  
H01L 27/105

(21)Application number : 2002-089027

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.2002

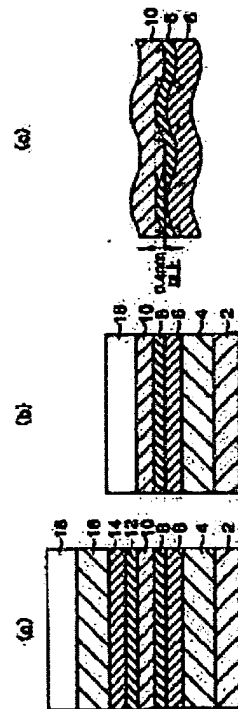
(72)Inventor : SAITO YOSHIKI  
NISHIYAMA KATSUYA  
YODA HIROAKI

## (54) MAGNETO-RESISTANCE EFFECT DEVICE AND MAGNETIC MEMORY USING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a reliable magneto-resistance effect device which has a large MR ratio even if reduced in size, and has a small switching magnetic field and has a superior thermal stability.

**SOLUTION:** The magneto-resistance effect device comprises a storage layer formed of a monolayer ferromagnetic layer, a magnetic film having at least one ferromagnetic layer, and a tunnel barrier layer positioned between the storage layer and the magnetic film. The ferromagnetic layer of the storage layer is formed of a Ni-Fe-Co ternary alloy, and has a composition selected from either an inside composition region in a Ni-Fe-Co ternary state diagram enclosed by a Co90(at.)Fe10(at.)-Fe30(at.)Ni70(at.) straight line, a Fe80(at.)Ni20(at.)-Fe30(at.)Ni70(at.) straight line, and a Fe80(at.)Ni20(at.)-Co65(at.)Ni35(at.) straight line, or an inside composition region in the Ni-Fe-Co ternary state diagram enclosed by a Fe80(at.)Ni20(at.)-Co65(at.)Ni35(at.) straight line, a Co90(at.)Fe10(at.)-Fe70(at.)Ni30(at.) straight line, and a Co90(at.)Fe10(at.)-Fe30(at.)Ni70(at.) straight line. The maximum surface roughness in an interface between the storage layer and the tunnel barrier layer and on an interface between the magnetic film and the tunnel barrier layer is 0.4 nm or above.



Japanese Laid-Open Patent Publication No. 2003-283001  
(Toshiba)

[0006] In addition, a ferromagnetic single tunnel junction has been proposed, which includes a structure in which one ferromagnetic layer is made to be a magnetization fixed layer, on which the magnetization direction is fixed, by providing an antiferromagnetic layer so as to contact with the said one ferromagnetic layer constituting this ferromagnetic single tunnel junction so that the exchange coupling force makes magnetization reversal of the said one ferromagnetic layer less likely to occur (refer to Japanese Laid-Open Patent Publication No. H10-4227).

[0007] In addition, a ferromagnetic tunnel junction via magnetic particles dispersed in a dielectric and a ferromagnetic double tunnel junction (continuous film) have been proposed (Phys. Rev. B56 (10), R5747 (1997), Journal of the Magnetism Society of Japan 23, 4-2, (1999), Appl. Phys. Lett. 73 (19), 2829 (1998), Jpn. J. Appl. Phys.39, L1035 (2001)).

[0008] They are also likely to be applied to an MRAM (Magnetic Random Access Memory) because a magnetoresistance change rate of 20 to 50% can be achieved and, even if the voltage value which is applied to a ferromagnetic tunnel junction element so as to

achieve a desired output voltage value is increased, reduction of the magnetoresistance change rate is inhibited.

[0015]

[PROBLEMS TO BE RESOLVED BY THE INVENTION] However, a tiny sized TMR device with a large capacity causes problems such as heat fluctuation, which may result in loss of spin information, and an increase in switching field along with reduction in the size of the TMR device.

[0019] Based upon recognition of such problems, the present invention intends to provide a magnetoresistance effect device that, despite the reduced size, has a high MR ratio, a small switching field, an excellent thermal stability, and reliability and a magnetic memory using the same.

[0029] The magnetoresistance effect device according to the first embodiment of the present invention is a TMR device of the ferromagnetic double tunnel junction shown in FIG. 1 (a). Note that the ferromagnetic single tunnel junction shown in FIG. 1 (b) may also be used. The ferromagnetic single tunnel junction has a structure in which an antiferromagnetic layer 4, a magnetization fixed layer 6 (also referred to as a pinned layer), a tunnel barrier layer 8, a magnetization free layer 10 (also referred to as a

storage layer), and a cover/hard mask layer 18 are provided in sequence on an underlying metal layer 2. On the other hand, the ferromagnetic double tunnel junction has a structure in which the antiferromagnetic layer 4, the magnetic fixed layer 6, the tunnel barrier layer 8, the storage layer 10, a tunnel barrier layer 12, a magnetization fixed layer 14, an antiferromagnetic layer 16, and the cover/hard mask layer 18 are provided in sequence on the underlying metal layer 2. In the present embodiment, the storage layer 10 is configured with a single ferromagnetic layer.

[0037] In the TMR device of the present embodiment, it is preferable to adopt a structure in which at least a ferromagnetic layer adjacent to the tunnel barrier layer of the magnetization fixed layer includes a three-layer structure configured with a ferromagnetic layer, an amorphous magnetic layer, for instance and a ferromagnetic layer, a structure in which the magnetic fixed layer is configured with a ferromagnetic layer, an amorphous magnetic layer, a ferromagnetic layer, a non-magnetic layer, and a ferromagnetic layer as shown in FIG.2(b) or a ferromagnetic layer, an amorphous magnetic layer, a ferromagnetic layer, a non-magnetic layer, an amorphous magnetic layer, and a ferromagnetic

layer as shown in FIG. 2 (c). The amorphous magnetic layer is preferably an amorphous ferromagnetic layer. This structure is used so that diffusion of Mn can be inhibited even if Pt-Mn, Ir-Mn, Ni-Mn, or the like is used for the antiferromagnetic layers 4 and 16 and long-term stability can be maintained, thereby providing the reliable TMR device.

[0038] The amorphous magnetic layer can be produced with ease by mixing Co, Fe, Ni, or an alloy of them with Zr, Nb, Bi, Ta, W, or the like by a few percent to several dozen percent. It is preferable to use Ru (ruthenium), Ir (iridium) Os (osmium), or an alloy of them as a non-magnetic layer used for a magnetization fixed layer of a three-layer or multi-layer laminated structure. In addition, it is preferable to provide the antiferromagnetic layer adjacent to the magnetization fixed layer of the three-layer or multi-layer laminated structure. Also as the antiferromagnetic layer in this case, Fe-Mn, Pt-Mn, Pt-Cr-Mn, Ni-Mn, Ir-Mn, NiO, Fe<sub>2</sub>O<sub>3</sub>, or the like can be used similar to that described earlier. However, it is more preferable to constitute the antiferromagnetic layer with any of Pt<sub>x</sub>Mn<sub>1-x</sub>, Ni<sub>y</sub>Mn<sub>1-y</sub>, and Ir<sub>z</sub>Mn<sub>1-z</sub>, and to give  $49.5\text{at}\% \leq x, y \leq 50.5\text{at}\%$ ,  $22\text{at}\% \leq z \leq 27\text{at}\%$ , which result in the crystal growth of the magnetic fixed layer in accordance with the crystal

growth of the antiferromagnetic layer, the presence of a portion in which the peak to peak value becomes equal to or greater than 0.4 nm when the roughness of the magnetization fixed layer, the tunnel barrier layer, or the storage layer is observed with a transparent electron microscope, improved thermal stability of the spin of the storage layer with orange-peel coupling, and the absence of concern over loss of bit information because of an effective magnetic field with the orange-peel coupling even if the crystal grain is refined and the cell size is reduced.

[0039] The TMR device of the present embodiment is a ferromagnetic double tunnel junction type of  $0.15 \times 0.2 \mu\text{m}^2$  in size. The storage layer is configured with a single ferromagnetic layer and the ferromagnetic layer is a Co-Fe-Ni ternary alloy. The storage layer is 2 nm in film thickness. The magnetic fixed layer has a three-layer laminated structure in which a non-magnetic layer composed of Ru is sandwiched by the ferromagnetic layers, and a Co-Fe alloy, in particular,  $\text{Co}_{50}\text{Fe}_{50}$  is used as the ferromagnetic layer so as to achieve a high MR ratio. The antiferromagnetic layer is an IrMn alloy of 11 nm in film thickness.  $\text{AlOx}$  is used for the tunnel barrier layer. In addition, the underlying metal layer has a four-layer structure of

Ta/Cu/Ta/Ru. As a result, the structure of the TMR device of the present embodiment is Ta/Cu/Ta/Ru/IrMn (11nm)/CoFe/Ru/CoFe/AlOx/CoFeNi/AlOx/CoFe/Ru/CoFe/IrMn (10 nm)/Ru/top wiring.

[0042] Note that the use of Co-Fe for the magnetic fixed layer is preferable because it results in an MR ratio of equal to or higher than 40%. Although in the present embodiment,  $\text{Co}_{50}\text{Fe}_{50}$  is used as the magnetic fixed layer, the MR property trend is not significantly affected even using those of  $\text{Co}_{10}\text{Fe}_{90}$  to  $\text{Co}_{90}\text{Fe}_{10}$ .

[0046] In addition, it is preferable that the storage layer of the TMR device of the present embodiment includes a composition selected from within the composition range bounded by the straight line of  $\text{Co}_{90} \text{ (at\%)} \text{ Fe}_{10} \text{ (at\%)} - \text{Fe}_{30} \text{ (at\%)} \text{ Ni}_{70} \text{ (at\%)}$ , the straight line of  $\text{Fe}_{70} \text{ (at\%)} \text{ Ni}_{30} \text{ (at\%)} - \text{Fe}_{30} \text{ (at\%)} \text{ Ni}_{70} \text{ (at\%)}$ , and the straight line of  $\text{Fe}_{65} \text{ (at\%)} \text{ Ni}_{35} \text{ (at\%)} - \text{Co}_{65} \text{ (at\%)} \text{ Ni}_{35} \text{ (at\%)}$  in the Co-Fe-Ni composition range shown in FIG. 5, i.e., a Ni-Fe-Co ternary phase diagram because it achieves the MR ratio of equal to or higher than 40% and the switching field of equal to or less than 300e and, in samples of the present embodiment and variation in which roughness of equal to or greater than 0.4 nm occurs, demonstrates the similar reliability.

[0048] On the other hand, when the TMR device is

used as a magnetoresistance effect device, a variety of insulators (dielectrics) can be used such as  $\text{Al}_2\text{O}_3$  (aluminium oxide),  $\text{SiO}_2$  (silicon oxide),  $\text{MgO}$  (magnesium oxide),  $\text{AlN}$  (aluminium nitride),  $\text{Bi}_2\text{O}_3$  (bismuth oxide),  $\text{MgF}_2$  (magnesium fluoride),  $\text{CaF}_2$  (calcium fluoride),  $\text{SrTiO}_2$  (strontium titanium oxide),  $\text{AlLaO}_3$  (lanthanum aluminum oxide),  $\text{Al-N-O}$  (aluminium nitride oxide), and  $\text{GaO}$  (gallium oxide) as an insulation layer (or dielectric layer) provided between the magnetic fixed layer and a magnetic recording layer.

[0049] These compounds do not have to be stoichiometrically perfectly accurate in composition, and there may be an absence, a deficiency, or an excess in oxygen, nitrogen, fluorine, and the like. In addition, it is preferable that the insulation layer (dielectric layer) is thin to an extent such that tunneling current flows, i.e., equal to or less than 10 nm in practice.

[0098]

[ADVANTAGEOUS EFFECT OF THE INVENTION] As described above, the magnetoresistance effect device that, despite the reduced size, has a high MR ratio, an excellent thermal stability, and a small switching field and the magnetic memory using the magnetoresistance effect device can be achieved according to the present invention.



[EXPLANATION OF REFERENCE NUMERALS]

- 2      underlying metal layer
- 4      antiferromagnetic layer
- 6      magnetization fixed layer
- 8      tunnel barrier layer
- 10     storage layer
- 12     tunnel barrier layer
- 14     magnetization fixed layer
- 16     antiferromagnetic layer
- 18     cover layer / hard mask

DRAWINGS

[FIG. 1]

EQUAL TO OR GREATER THAN 0.4 nm

[FIG. 2]

a

FERROMAGNETIC LAYER

NON-MAGNETIC LAYER

FERROMAGNETIC LAYER

b

FERROMAGNETIC LAYER

BARRIER METAL (EX. AMORPHOUS MAGNETIC LAYER)

FERROMAGNETIC LAYER

NON-MAGNETIC LAYER

FERROMAGNETIC LAYER

C

FERROMAGNETIC LAYER

BARRIER METAL (EX. AMORPHOUS MAGNETIC LAYER)

FERROMAGNETIC LAYER

NON-MAGNETIC LAYER

FERROMAGNETIC LAYER

BARRIER METAL (EX. AMORPHOUS MAGNETIC LAYER)

FERROMAGNETIC LAYER

THICKEN FERROMAGNETIC LAYER NEAR TUNNEL BARRIER LAYER

OR INSERT BARRIER METAL

[FIG. 7]

MR CHANGE RATE (%)

ANNEALING TIME (SEC)

(51)Int.Cl.	識別記号	FI	特許庁(参考)
H01L 43/08		H01L 43/08	Z 5E049 M 5F083
G11C 11/15	110 150	G11C 11/15	110 150
H01F 10/16		H01F 10/16	
審査請求 有 請求項の数 8 OL (全 14 頁) 最終頁に続く			

(21)出願番号 特願2002-89027(P2002-89027)

(22)出願日 平成14年3月27日(2002.3.27)

(71)出願人 00003078

株式会社東芝  
東京都港区芝浦一丁目1番1号

(72)発明者 斉藤 好昭

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 西山 勝哉

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74)代理人 100075812

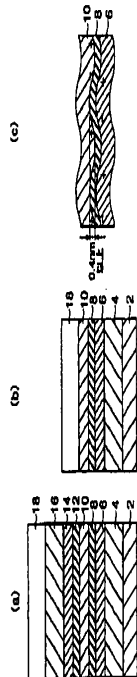
弁理士 吉武 賢次 (外4名)

最終頁に続く

(54)【発明の名称】 磁気抵抗効果素子およびこれを用いた磁気メモリ

(57)【要約】

【課題】 サイズを小さくしても、MR比が大きく、スイッチング境界が小さく、熱安定性に優れた信頼性ある磁気抵抗効果素子を提供することを可能にする。

【解決手段】 単層の強磁性層からなる記憶層と、少なくとも1層の強磁性層を有する磁性膜と、前記記憶層と前記磁性膜との間に設けられたトンネルバリア層と、を備え、前記記憶層の強磁性層は、Ni-Fe-Co三元合金からなり、Ni-Fe-Co三元状態図において、 $Co_{90(100)}Fe_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線、 $Fe_{90(100)}Ni_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線、 $Fe_{90(100)}Ni_{10(0)}$ - $Co_{90(100)}Ni_{10(0)}$ の直線が囲む内側の組成領域および $Fe_{90(100)}Ni_{10(0)}$ - $Co_{90(100)}Ni_{10(0)}$ の直線、 $Co_{90(100)}Fe_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線、 $Co_{90(100)}Fe_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線が囲む内側の組成領域のうちのいずれか一方の組成領域から選ばれた組成を有し、前記記憶層と前記トンネルバリア層の界面および前記磁性膜と前記トンネルバリア層の界面における最大表面粗さが0.4nm以上である。

【特許請求の範囲】

【請求項1】 単層の強磁性層からなる記憶層と、少なくとも1層の強磁性層を有する磁性膜と、前記記憶層と前記磁性膜との間に設けられたトンネルバリア層と、を備え、前記記憶層の強磁性層は、Ni-Fe-Co三元合金からなり、Ni-Fe-Co三元状態図において、 $Co_{90(100)}Fe_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線、 $Fe_{90(100)}Ni_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線、 $Fe_{90(100)}Ni_{10(0)}$ - $Co_{90(100)}Ni_{10(0)}$ の直線が囲む内側の組成領域および $Fe_{90(100)}Ni_{10(0)}$ - $Co_{90(100)}Ni_{10(0)}$ の直線、 $Co_{90(100)}Fe_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線、 $Co_{90(100)}Fe_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線が囲む内側の組成領域のうちのいずれか一方の組成領域から選ばれた組成を有し、前記記憶層と前記トンネルバリア層の界面および前記磁性膜と前記トンネルバリア層の界面における最大表面粗さが0.4nm以上であることを特徴とする磁気抵抗効果素子。

【請求項2】 単層の強磁性層からなる記憶層と、少なくとも1層の強磁性層を有する磁性膜と、前記記憶層と前記磁性膜との間に設けられたトンネルバリア層と、を備え、前記記憶層の強磁性層は、Ni-Fe-Co三元合金からなり、Ni-Fe-Co三元状態図において、 $Co_{90(100)}Fe_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線、 $Fe_{90(100)}Ni_{10(0)}$ - $Fe_{90(100)}Ni_{10(0)}$ の直線、 $Fe_{90(100)}Ni_{10(0)}$ - $Co_{90(100)}Ni_{10(0)}$ の直線が囲む内側の組成領域から選ばれた組成を有し、前記記憶層と前記トンネルバリア層の界面および前記磁性膜と前記トンネルバリア層の界面における最大表面粗さが0.4nm以上であることを特徴とする磁気抵抗効果素子。

【請求項3】 前記磁性膜は、非磁性層を強磁性層が挟んだ三層積層構造であって、前記非磁性層を挟んでいる強磁性層は反強磁性的に結合していることを特徴とする請求項1または2記載の磁気抵抗効果素子。

【請求項4】 前記磁性膜は、反強磁性層磁性層に接して設けられた反強磁性層との交換結合力により磁化が固定された強磁性層を有する磁化固定層を備えたことを特徴とする請求項1乃至3のいずれかに記載の磁気抵抗効果素子。

【請求項5】 前記磁化固定層の強磁性層は、Co-Feの二元合金からなることを特徴とする請求項4記載の磁気抵抗効果素子。

【請求項6】 前記反強磁性層は、 $Pt_xMn_{1-x}$  (49.5at% $\leq x \leq 50.5$ at%)、 $Ni_yMn_{1-y}$  (49.5at% $\leq y \leq 50.5$ at%)、 $Ir_zMn_{1-z}$  (22at% $\leq z \leq 27$ at%) のいずれかからなることを特徴とする請求項4または5記載の磁気抵抗効果素子。

【請求項7】 第1の配線と、前記第1の配線と交差する第2の配線と、前記第1の配線と前記第2の配線との交差領域毎に設けられたメモリセルと、を備え、前記メモリセルは、記憶素子として、請求項1乃至6のいずれか

(2)

特開2003-283001

に記載の磁気抵抗効果素子を有していることを特徴とする磁気メモリ。

【請求項8】 第1の配線と、

前記第1の配線の上に形成された第1の磁気抵抗効果素子と、

前記第1の配線の下に形成された第2の磁気抵抗効果素子と、

前記第1の配線の上に形成され前記第1の配線と交差する第2の配線と、

前記第1の配線の下に形成され前記第1の配線と交差する第3の配線とを備え、

前記第1および第2の磁気抵抗効果素子は、それぞれ請求項1乃至6のいずれかに記載の磁気抵抗効果素子であり、

前記第2及び第3の配線にそれぞれ電流を流しつつ前記第1の配線に電流を流すことにより前記第1及び第2の磁気抵抗効果素子の記憶層の磁化をそれぞれ所定の方向に反転可能であり、

前記第1の配線を介して前記前記第1及び第2の磁気抵抗効果素子にセンス電流を流すことにより得られる前記第1および第2の磁気抵抗効果素子からの出力信号の差分を検出することにより、2値情報のいずれかとして読み出すことを特徴とする磁気メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、磁気抵抗効果素子およびこの磁気抵抗効果素子を有する磁気メモリに関する。

【0002】

【従来の技術】 磁性体膜を用いた磁気抵抗効果素子は、磁気ヘッド、磁気センサーなどに用いられているが、固体磁気メモリに用いることが提案されている。

【0003】 特に、高速読み書き、大容量、低消費電力動作も可能な次世代の固体不揮発メモリとして、強磁性体の磁気抵抗効果を利用した磁気ランダムアクセスメモリ(以下、MRAM(Magnetic Random Access Memory))とも云う)への関心が高まっている。

【0004】 近年、2つの磁性金属層の間に1層の誘電体を挿入したサンドイッチ構造を有し、膜面に対して垂直に電流を流し、トンネル電流を利用した磁気抵抗効果素子として、いわゆる「強磁性トンネル接合素子(以下、TMR(Tunneling Magneto-Resistance effect)素子とも云う)」が提案されている。強磁性トンネル接合素子においては、20%以上の磁気抵抗変化率(MR比)が得られるようになったことから(J. Appl. Phys. 79, 4724 (1996)参照)、MRAMへの応用の可能性が高まってきている。

【0005】 この強磁性トンネル接合素子は、強磁性電極上に0.8nm~2.0nm厚の薄いAl(アルミニウム)層を成膜した後、その表面を酸素グロー放電または

酸素ガスに曝すことによって、 $Al_2O_3$  からなるトンネルバリア層を形成することにより、実現できる。

【0006】また、この強磁性1重トンネル接合を構成する一方の強磁性層に接するように反強磁性層を設けて交換結合力により、上記一方の強磁性層の磁化反転を起こりにくくして磁化の向きを固定した磁化固定層とした構造を有する強磁性1重トンネル接合が提案されている(特開平10-4227号公報参照)。

【0007】また、誘電体中に分散した磁性粒子を介した強磁性トンネル接合や、強磁性2重トンネル接合(連続膜)も提案されている(Phys. Rev. B56(10), R5747 (1997)、応用磁気学会誌23, 4-2, (1999)、Appl. Phys. Lett. 73(19), 2829 (1998)、Jpn. J. Appl. Phys. 39, L1035(2001))。

【0008】これらにおいても、20~50%の磁気抵抗変化率が得られるようになったこと、及び、所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられることから、MRAMへの応用の可能性がある。

【0009】MRAMにTMR素子を用いる場合、トンネルバリア層を挟む二つの強磁性層のうち、一方が磁化の向きが変化しないように固定した磁化固定層を磁化基準層とし、もう一方が磁化の向きが反転し易いようにした磁化自由層を記憶層とする。基準層と記憶層の磁化の向きが平行な状態と反平行な状態を2進情報の“0”と“1”に対応付けることで情報を記憶することができる。

【0010】記録情報の書き込みは、TMR素子近傍に設けられた書き込み配線に電流を流して発生する誘導磁場により記憶層の磁化の向きを反転させることにより行う。また、記録情報の読み出しは、TMR効果による抵抗変化分を検出することにより行う。

【0011】基準層の磁化の向きを固定するためには、強磁性層に接するように反強磁性層を設けて交換結合力により磁化反転を起こりにくくするという方法が用いられ、このような構造はスピバルブ型構造と呼ばれている。この構造において基準層の磁化の向きは磁場を印加しながら熱処理すること(磁化固定アニール)により決定される。一方、記憶層は、磁気異方性を与えることにより磁化容易方向と基準層の磁化の向きとがほぼ同じになるように形成されている。

【0012】これら強磁性1重トンネル接合あるいは強磁性2重トンネル接合を用いた磁気記憶素子は、不揮発性で、書き込み読み出し時間10ナノ秒以下と速く、書き換え回数 $10^{10}$ 以上というポテンシャルを有する。特に、強磁性2重トンネル接合を用いた磁気記憶素子は、上述したように、所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられるため、大きな出力電圧が得られ、磁気記憶素子として好ましい特性を示す。

【0013】しかし、メモリのセルサイズに関しては、メモリセルが1個のトランジスタと1個のTMR素子からなる1トランジスタ-1TMRアーキテクチャ(例えば、USP5, 734, 605号公報参照)を用いた場合、半導体のDRAM (Dynamic Random Access Memory) 以下にサイズを小さくできないという問題がある。

【0014】この問題を解決するために、ビット線とワード線との間にTMR素子とダイオードを直列接続したダイオード型アーキテクチャ(USP5, 640, 343号公報参照)や、ビット線とワード線の間にTMR素子を配置した単純マトリクス型アーキテクチャ(DE 19744095, WO 9914760参照)が提案されている。

【0015】

【発明が解決しようとする課題】しかし、大容量化してTMR素子のサイズを微小化すると、熱揺らぎの問題が生じ、スピン情報が消えてしまう可能性が生じる他、TMR素子のサイズの低減にともなうスイッチング磁場の増大などが問題となってくる。

【0016】保磁力すなわちスイッチング磁場は、素子サイズ、形状、強磁性材料の磁化、膜厚等に依存しており、一般に記憶素子のサイズが小さくなると、スイッチング磁場は大きくなる。これは、トンネル接合を有するTMR素子を記憶素子としてMRAMに用いる場合、書き込みに大きな電流磁場を必要とし、消費電力が大きくなるということを意味する。さらに高集積化を考えた場合は、消費電力が大きくなること、より一層顕著になるという点で大きな問題である。

【0017】また、熱によるMn原子等の拡散の影響で長期的な熱安定性の問題も存在する。

【0018】以上説明したように、磁気メモリの大容量化を実現するためには、TMR素子のサイズを低減してもMR比が大きく、スイッチング磁場が小さく、熱安定性に優れた磁気抵抗効果素子およびそれを用いた磁気メモリが必要とされる。

【0019】本発明は、かかる課題の認識に基づいてなされたものであり、サイズを小さくしても、MR比が大きく、スイッチング磁場が小さく、熱安定性に優れた信頼性ある磁気抵抗効果素子およびこれを用いた磁気メモリを提供することを目的とする。

【0020】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の態様による磁気抵抗効果素子は、単層の強磁性層からなる記憶層と、少なくとも1層の強磁性層を有する磁性膜と、前記記憶層と前記磁性膜との間に設けられたトンネルバリア層とを備え、前記記憶層の強磁性層は、 $Ni-Fe-Co$ 三元合金からなり、 $Ni-Fe-Co$ 三元状態図において、 $Co_{0.1(1-1.5)}Fe_{0.1(1-1.5)}-Fe_{0.8(1-1.5)}Ni_{0.1(1-1.5)}$ の直線、 $Fe_{0.8(1-1.5)}Ni_{0.1(1-1.5)}-Co_{0.1(1-1.5)}Ni_{0.1(1-1.5)}$ の直線、 $Fe_{0.8(1-1.5)}Ni_{0.1(1-1.5)}-Co_{0.1(1-1.5)}Ni_{0.1(1-1.5)}$ の直線が囲む内側の組成領域から選ば

れる組成を有し、前記記憶層と前記トンネルバリア層の界面および前記磁性膜と前記トンネルバリア層の界面における最大表面粗さが0.4nm以上であることを特徴とする。

【0021】また、本発明の第2の態様による磁気抵抗効果素子は、単層の強磁性層からなる記憶層と、少なくとも1層の強磁性層を有する磁性膜と、前記記憶層と前記磁性膜との間に設けられたトンネルバリア層とを備え、前記記憶層の強磁性層は、 $Ni-Fe-Co$ 三元合金からなり、 $Ni-Fe-Co$ 三元状態図において、 $Co_{0.1(1-1.5)}Fe_{0.1(1-1.5)}-Fe_{0.8(1-1.5)}Ni_{0.1(1-1.5)}$ の直線、 $Fe_{0.8(1-1.5)}Ni_{0.1(1-1.5)}-Fe_{0.8(1-1.5)}Ni_{0.1(1-1.5)}$ の直線、 $Fe_{0.8(1-1.5)}Ni_{0.1(1-1.5)}-Co_{0.1(1-1.5)}Ni_{0.1(1-1.5)}$ の直線が囲む内側の組成領域から選ばれる組成を有し、前記記憶層と前記トンネルバリア層の界面および前記磁性膜と前記トンネルバリア層の界面における最大表面粗さが0.4nm以上であることを特徴とする。

【0022】なお、前記磁性膜は、非磁性層を強磁性層が挟んだ三層積層構造であって、前記非磁性層を挟んでいる強磁性層は反強磁性的に結合していても良い。

【0023】なお、前記磁性膜は、反強磁性層磁性層に接して設けられた反強磁性層との交換結合力により磁化が固定された強磁性層を有する磁化固定層を備えるように構成しても良い。

【0024】なお、前記磁化固定層の強磁性層は、 $Co-Fe$ の二元合金からなるように構成することが好ましい。

【0025】なお、前記反強磁性層は、 $Pt, Mn_{1-x}$  (49.5at% $\leq x \leq 50.5$ at%)、 $Ni, Mn_{1-x}$  (49.5at% $\leq x \leq 50.5$ at%)、 $Ir, Mn_{1-x}$  (22at% $\leq x \leq 27$ at%)のいずれかからなっていることも良い。

【0026】また、本発明の第3の態様による磁気メモリは、第1の配線と、前記第1の配線と交差する第2の配線と、前記第1の配線と前記第2の配線との交差領域毎に設けられたメモリセルとを備え、前記メモリセルは、記憶素子として、上記記載の磁気抵抗効果素子を有していることを特徴とする。

【0027】また、本発明の第4の態様による磁気メモリは、第1の配線と、前記第1の配線の上に形成された第1の磁気抵抗効果素子と、前記第1の配線の下に形成された第2の磁気抵抗効果素子と、前記第1の配線の上に形成され前記第1の配線と交差する第2の配線と、前記第1の配線の下に形成され前記第1の配線と交差する第3の配線とを備え、前記第1および第2の磁気抵抗効果素子は、上記記載の磁気抵抗効果素子であり、前記第2及び第3の配線にそれぞれ電流を流しつつ前記第1の配線に電流を流すことにより前記第1及び第2の磁気抵

抗効果素子の記憶層の磁化をそれぞれ所定の方向に反転可能であり、前記第1の配線を介して前記第1及び第2の磁気抵抗効果素子にセンス電流を流すことにより得られる前記第1および第2の磁気抵抗効果素子からの出力信号の差分を検出することにより、2進情報のいずれかとして読み出すことを特徴とする。

【0028】

【発明の実施の形態】以下、図面を参照しつつ本発明の実施形態を説明する。

【0029】本発明の第1実施形態による磁気抵抗効果素子は、TMR素子であって、図1(a)に示す強磁性二重トンネル接合となっている。なお、図1(b)に示す強磁性二重トンネル接合であっても良い。強磁性二重トンネル接合は、下地金属層2上に、反強磁性層4、磁化固定層6(ピン層とも云う)、トンネルバリア層8、磁化自由層10(記憶層ともいう)、カバー/ハードマスク層18を順次設けた構成となっている。また、強磁性二重トンネル接合は、下地金属層2上に、反強磁性層4、磁化固定層6、トンネルバリア層8、記憶層10、トンネルバリア層12、磁化固定層14、反強磁性層16、カバー/ハードマスク層18を順次設けた構成となっている。また、本実施形態においては、記憶層10は、単層の強磁性層からなっている。

【0030】また、本実施形態においては、図1(c)に示したように、TMR素子の記憶層とトンネルバリア層の界面または磁化固定層とトンネルバリア層の界面におけるラフネス(最大表面粗さ)が、断面を透過型電子顕微鏡(以下、TEM (Transparent Electron Microscope)とも云う)で観測した場合0.4nm以上のラフネスが、トンネルバリア層と、記憶層または磁化固定層を構成する強磁性層との間の界面に存在しているように構成される。なお、図1(c)は、磁化固定層6とトンネルバリア層8との間の界面、およびトンネルバリア層8と記憶層10との間の界面を拡大した図である。上記界面に0.5nm以上のラフネスがあるとTMR素子にオレンジピール(Orange Peel)結合による360°の双極子磁場がたえず印加されることになり、より好ましい。

【0031】オレンジピール結合は次式で表せる。 $HN = \pi^2 / \sqrt{2} (h^2 / \lambda t_f) M_s \exp(-2\sqrt{2} t_f / \lambda)$

【0032】ここで、 $h$ 、 $\lambda$ は磁化固定層と記憶層間に生じるラフネスの振幅と面内のピークツーピーク値の長さをそれぞれ示す。 $t_f$ 、 $t_s$ は記憶層、バリア層の厚さをそれぞれ示し、 $M_s$ は記憶層の磁化の値を示す。

【0033】記憶層に $Co-Fe-Ni$ を用いると通常 $M_s = 1000 Oe$ 程度である。 $t_f$ 、 $t_s$ として、たとえば、2nm、1nmを仮定する。 $\lambda$ は約10nm程度であるから、0.4nm以上のラフネス(最大表面粗さ)があると磁気抵抗効果素子にオレンジピール結合による360°の有効磁場(双極子磁場)がたえず印加されること

になる。0.5nm以上のラフネスがあると磁気抵抗効果素子にオレンジピール結合による360eの双極子磁場がたえず印加されることになりより好ましい。強磁性二重トンネル接合にすると、0.4nm、0.5nmのラフネスの時それぞれ、460e、720eの有効磁場が得られ、より好ましい安定性を示すこととなる。

【0034】このようなラフネスがトンネルバリア層と強磁性層との間の界面に存在している場合、後述する保持力が小さいCo-Fe-Ni三元合金組成を、記憶層を構成する強磁性層に用い、セルアスペクト比を2.5以下にしてTMR素子を微細化しても磁化固着層と記憶層間に生じるオレンジピール結合にともなう双極子磁場が大きくなり、熱安定性にすぐれた特性を得ることができる。

【0035】また、本実施形態のTMR素子においては、図2(a)に示すように、磁化固着層の構造が強磁性層/非磁性層/強磁性層の3層構造を有し、トンネルバリア層に近い強磁性層の厚さが厚いことが好ましい。この構造にすると磁化固着層からの浮遊磁場(stray field)が生じるため、熱安定性を保ったまま、MRカーブのヒステリシス曲線をゼロ磁場に対して対称に調整することができる。これは、オレンジピール結合による双極子磁場と、浮遊磁場の起源が異なっていて、浮遊磁場は、単なる外部磁場として働くからである。

【0036】浮遊磁場 $H_{stray}$ はTMR素子の長辺の長さ $L$ に逆比例する( $H_{stray} = C/L$ )。ここで、 $C$ は定数である。したがって、TMR素子の長辺の長さに応じて、トンネルバリア層に近い強磁性層の厚さをどの程度厚くすればよいかを一義的に決定できる。

【0037】また、本実施形態のTMR素子において、磁化固着層の少なくともトンネルバリア層に隣接した強磁性層が強磁性層/アモルファス磁性層/強磁性層からなる3層構造を有する構造、例えば図2(b)に示すように、磁化固着層が強磁性層/アモルファス磁性層/強磁性層/非磁性層/強磁性層、もしくは図2(c)に示すように、強磁性層/アモルファス磁性層/強磁性層/非磁性層/アモルファス磁性層/強磁性層を用いることが好ましい。アモルファス磁性層はアモルファス強磁性層が好ましい。この構造を用いると、反強磁性層4、16K、Pt-Mn、Ir-Mn、Ni-Mnなどを用いた場合にもMnの拡散が押さえられ長期安定性を維持することができ、信頼性あるTMR素子を提供できる。

【0038】アモルファス磁性層はCo、Fe、Niまたはそれら合金に、Zr、Nb、Bi、Ta、Wなどを数%から数10%混ぜることによって容易に作製することができる。三層または多層積層構造の磁化固着層に用いられる非磁性層としては、Ru(ルテニウム)、Ir(イリジウム)Os(オスミウム)またはそれら合金を用いることが好ましい。さらに、三層または多層積層構造の磁化固着層に隣接して反強磁性層を設けることが望ましい。この場合の反強磁性層としても、前述したものと同様に、Fe-Mn、P

t-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、Fe<sub>2</sub>O<sub>3</sub>などを用いることもできるが、反強磁性層がPt<sub>2</sub>Mn<sub>3</sub>、Ni<sub>2</sub>Mn<sub>3</sub>、Ir<sub>2</sub>Mn<sub>3</sub>のいずれから構成され、ここで、49.5at% $\leq x$ 、 $y \leq 50$ 、5at% $\leq z \leq 27$ at%にすることにより、反強磁性層の結晶成長に伴い、磁化固着層も結晶成長し、磁化固着層/トンネルバリア層/記憶層のラフネスをTEMで観測したときピークトゥピーク値が0.4nm以上になる部分が存在し、オレンジピール結合に伴い記憶層のスピンの熱安定性が良くなり、微細化し、セルサイズを小さくしてもオレンジピール結合に伴う有効磁場のためビット情報が消える心配がなくなり、より好ましい。

【0039】本実施形態のTMR素子は、サイズが0.15 $\times$ 0.2 $\mu$ m<sup>2</sup>の強磁性二重トンネル接合型である。そして、記憶層は、単層の強磁性層からなりこの強磁性層をCo-Fe-Niの三元合金とした。この記憶層の膜厚は2nmとした。磁化固着層は、Ruからなる非磁性層を強磁性層で挟んだ3層構造とし、大きなMR比を得るために、上記強磁性層としてCo-Fe合金、特にCo<sub>90</sub>Fe<sub>10</sub>を用いた。反強磁性層は膜厚が11nmのIrMn合金とした。トンネルバリア層は、AlOxを用いた。また、下地金属層は、Ta/Cu/Ta/Ruの四層構造である。したがって、本実施形態のTMR素子の構成は、

Ta/Cu/Ta/Ru/IrMn(11nm)/CoFe/Ru/CoFe/AlOx/CoFeNi/AlOx/CoFe/Ru/CoFe/IrMn(10nm)/Ru/上部配線

となっている。

【0040】まず、記憶層を構成するCo-Fe-Niの三元合金の組成を変えた場合のTMR素子を作製し、MR比およびスイッチング磁場を調べた結果を、図3に示す。記憶層を構成する強磁性層の組成は図3中において $x$ で示してある。図3の細かな縦線で示した領域が、上記TMR素子を作製したときにスイッチング磁場が350e以下になった領域である。また、図3に示すCo<sub>90(1-x)</sub>Fe<sub>10(x)</sub>-Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線より下の領域が、室温でMR比が40%以上得られた領域である。

【0041】この実験結果より、TMR素子において、記憶層の強磁性層はNi-Fe-Co三元合金からなり、Ni-Fe-Co三元状態図において、Co<sub>90(1-x)</sub>Fe<sub>10(x)</sub>-Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線k1、Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>-Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線k2、Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>-Co<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線k3が囲む内側の組成領域r1、またはFe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>-Co<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線k3、Co<sub>90(1-x)</sub>Fe<sub>10(x)</sub>-Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線k4、Co<sub>90(1-x)</sub>Fe<sub>10(x)</sub>-Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線k5が囲む内側の組成領域r2から選ばれる組成を有していることが好ましいことがわかった。

【0042】なお、磁化固着層にCo-Feを用いると40%以上のMR比が得られるため好ましい。本実施形態では、磁化固着層としてCo<sub>90</sub>Fe<sub>10</sub>を用いたが、Co<sub>90</sub>Fe<sub>10</sub>~Co<sub>90</sub>Fe<sub>10</sub>のものを用いても大きくMR特性の傾向に影響

しなかった。

【0043】また、比較のために、次の構成

Ta/Cu/Ta/Ru/IrMn(11nm)/CoFe/Ru/CoFe/CoZrNb/CoFe/AlOx/CoFeNi/AlOx/CoFe/Ru/CoFe/IrMn(10nm)/Ru/上部配線

からなる本実施形態の変形例の試料と、次の構成

Ta/Ru/IrMn(8nm)/CoFe/Ru/CoFe/AlOx/CoFeNi/AlOx/CoFe/Ru/CoFe/IrMn(10nm)/Ru/上部配線

からなる比較例の試料を作製した。変形例の試料は、本実施形態のTMR素子において、下地金属層に近い磁化固着層を図2(b)に示す五層積層構造としたものである。また、比較例の試料は、本実施形態のTMR素子において、下地金属層をTa/Ruからなる二層構造とし、かつこの下地金属層上に形成された反強磁性層を膜厚が8nmのIrMnから構成したものである。

【0044】また、本実施形態の形態、変形例、および比較例のTMR素子のトンネルバリア層と記憶層または磁化固着層との界面をTEMで観測したところ、本実施形態は0.5nmのラフネス(最大表面粗さ)、変形例は0.4nmのラフネス、比較例は0.16nmのラフネスが観測された。

【0045】次に、これらTMR素子を、85℃のオーブン中で放置してデターリテンションの信頼性試験を行った。その結果を図4に示す。比較例の試料は、記憶層とトンネルバリア層に近い磁化固着層の強磁性層のスピンの方向が、反平行状態の時はデータは保持されたが、平行のときは、データが保持されないビットが観測されたのに対し(図4(a)参照)、本実施形態および変形例の試料は両方とも好ましい信頼性が得られ、ラフネスが0.4nm以上あれば信頼性ある素子が得られることが分かった。

【0046】また、本実施形態のTMR素子の記憶層が、図5に示すCo-Fe-Ni組成範囲つまり、Ni-Fe-Co三元状態図において、Co<sub>90(1-x)</sub>Fe<sub>10(x)</sub>-Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線、Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>-Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線、Fe<sub>90(1-x)</sub>Ni<sub>10(x)</sub>-Co<sub>90(1-x)</sub>Ni<sub>10(x)</sub>の直線が囲む内側の組成領域から選ばれる組成を有している場合は、MR比が40%以上、スイッチング磁界が300e以下が得られるとともに、0.4nm以上のラフネスが生じている本実施形態および変形例の試料においては、同様の信頼性を示し、より好ましいことがわかった。

【0047】また、上記記憶層を構成する磁性体には、Ag(銀)、Cu(銅)、Au(金)、Al(アルミニウム)、Mg(マグネシウム)、Si(シリコン)、Bi(ビスマス)、Ta(タンタル)、B(ボロン)、C(炭素)、O(酸素)、N(窒素)、Pd(パラジウム)、Pt(白金)、Zr(ジルコニウム)、Ir(イリジウム)、W(タングステン)、Mo(モリブデン)、Nb(ニオブ)などの非磁性元素を添加して、磁気特性を調節したり、その他、結晶性、機械的特性、化学的特性などの各種物性を

調節することができる。

【0048】一方、磁気抵抗効果素子としてTMR素子を用いる場合に、磁化固着層と記憶層との間に設けられる絶縁層(あるいは誘電体層)としては、Al<sub>2</sub>O<sub>3</sub>(酸化アルミニウム)、SiO<sub>2</sub>(酸化シリコン)、MgO(酸化マグネシウム)、AlN(窒化アルミニウム)、Bi<sub>2</sub>O<sub>3</sub>(酸化ビスマス)、MoF<sub>6</sub>(フッ化マグネシウム)、CaF<sub>2</sub>(フッ化カルシウム)、SrTiO<sub>3</sub>(酸化チタン・ストロンチウム)、AlLaO<sub>3</sub>(酸化ランタン・アルミニウム)、Al<sub>2</sub>N<sub>2</sub>O(酸化窒化アルミニウム)、GaO(酸化ガリウム)などの各種の絶縁体(誘電体)を用いることができる。

【0049】これらの化合物は、化学量論的にみて完全に正確な組成である必要はなく、酸欠、窒素、フッ素などの欠損、あるいは過剰が存在していてもよい。また、この絶縁層(誘電体層)の厚さは、トンネル電流が流れる程度に薄く望ましく、実際上は、10nm以下であることが望ましい。

【0050】このような磁気抵抗効果素子は、各種スパッタ法、蒸着法、分子線エビタキシャル法などの通常の薄膜形成手段を用いて、所定の基板上に形成することができる。この場合の基板としては、例えば、Si(シリコン)、SiO<sub>2</sub>(酸化シリコン)、Al<sub>2</sub>O<sub>3</sub>(酸化アルミニウム)、スピネル、AlN(窒化アルミニウム)など各種の基板を用いることができる。

【0051】また、基板の上に、下地金属層(下部電極層)や上部電極層、保護層などとして、Ta(タンタル)、Ti(チタン)、Pt(白金)、Pd(パラジウム)、Au(金)、Ti(チタン)/Pt(白金)、Ta(タンタル)/Pt(白金)、Ti(チタン)/Pd(パラジウム)、Ta(タンタル)/Pd(パラジウム)、Cu(銅)、Al(アルミニウム)-Cu(銅)、Ru(ルテニウム)、Ir(イリジウム)、Os(オスミウム)などからなる層を設けてもよい。より好ましい下地電極層としては、Cu、Al、Ptを5nm以上の膜厚を有する積層層を含むことが好ましい。これらの元素を用いると結晶質になりやすいため、適度なラフネスを生じさせることができる。

【0052】また、TMR形状としては、磁化方向M1、M2は、必ずしも直線状である必要はなく磁気抵抗効果素子の形状図6に示したように、様々なエッジメインを形成する。図6は、本実施形態における磁気抵抗効果素子の記憶層の平面形態の他の具体例を表す模式図である。すなわち、TMR素子の記憶層は、例えば図6(a)に示したように、長方形の一方の対角両端に突出部を付加した形状や、図6(b)に示したような平行四辺形、図6(c)に示したような菱形、図6(d)に示したような楕円形、図6(e)に示したようなエッジ傾斜などの各種の形状とすることができる。

【0053】ここで、磁気記録層を図6(a)~(c)、図6(e)に示した形状にパターンニングする場

合、実際には角部が丸まる場合が多いが、そのように角部が丸まってもよい。これらの非対称な形状は、フォトリソグラフィにおいて用いるレチクルのパターン形状を非対称形状にすることにより容易に作製できる。

【0054】次に、反強磁性層の組成を変え長期安定性信頼試験を行った結果を示す。作製した試料は以下のとおりである。

#### 【0055】試料1

Ta/Cu/Ta/Ru/17nm(8nm)/CoFe/Ru/CoFe/AlOx/CoFeNi/AlOx/CoFe/Ru/CoFe/17nm(10nm)/Ru/上部配線

ここで、 $(\text{Ir}, \text{Mn})_{x-1}$ であり、 $Z=21.6\text{at}\%$  23.8 at% 26at%

#### 試料2

Ta/Cu/Ta/NiFeCr/PtMn(12nm)/CoFe/Ru/CoFe/AlOx/CoFeNi/AlOx/CoFe/Ru/CoFe/PtMn(12nm)/Ru/上部配線

ここで  $(\text{Pt}, \text{Mn})_{x-1}$ 、 $X=49\text{at}\%$  49.5 at% 50.5 at% 51at%

なお、 $(\text{Ir}, \text{Mn})_{x-1}$  ( $Z=27.5\text{at}\%$ )の試料1も作製したが良好な固着特性が得られなかった。

【0056】図7に試料1 ( $(\text{Ir}, \text{Mn})_{x-1}$ であり、 $Z=23.8\text{at}\%$ )のMR変化率のアニール時間依存性の一例を示す。図7から分かるように、長期アニールによって、MR変化率は劣化していく。図7の特性グラフを $a \times \exp(-t/\tau)$ と仮定し、これから求めた劣化時間定数 $\tau$ を、アニール温度を横軸にプロットした図を図8(a)、(b)に示す。図8(a)は試料1、図8(b)は試料2を示している。図8(a)に示したように反強磁性層がPt、Mn、またはIr、Mn、であり、49.5at%  $X \leq 50.5\text{at}\%$  22at%  $X \leq 27\text{at}\%$ とすると長期信頼性が得られることがわかった。また、上記試料1、2の上記組成範囲においてもラフネスは0.4nm以上であり85°Cにおけるデータ保持においても問題が無いことが明らかになった。

【0057】Ni、Mn、はPt、Mn、と同様の結果を示し、49.5at%  $X \leq 50.5\text{at}\%$ の組成範囲が好ましいことが分かった。

【0058】本実施形態において、記憶層の膜厚が3nm以下にしても、熱安定性が保たれ、記憶層の膜厚が3nm以下にすることにより、スイッチング磁界をより小さく保つことができる。なお、記憶層の膜厚は1nm以上が好ましい。1nm以下になると、磁性層が超常磁性になってしまい、強磁性スピンの熱安定性を保つことができなくなる。

【0059】また、本実施形態において、磁化固定層は、Co-Fe2元合金からなる強磁性層を用いたが、この場合、Co-Fe-Ni、Ni-Fe、またはCo-Niを用いた場合よりも大きなMR比を得ることが可能となる。

【0060】本実施形態において、反強磁性層の膜厚が8nm以上にするこ、より好ましくは10nm、より好ましくは12nm以上にするこが好ましい。この程度の厚さ以上になると上記反強磁性層の組成を用い

れば、理想的なラフネスを生じさせることができる。

【0061】以上説明したように、本実施形態によれば、サイズを小さくしてもMR比が大きく、スイッチング磁界が小さく、熱安定性に優れた信頼性ある磁気抵抗効果素子を得ることができる。また、スイッチング磁界を小さくすることが可能となるので、消費電力を下げる

ことができる。

【0062】(第2実施形態)次に、本発明の第2実施形態によるTMR素子の構成を図9に示す。この実施形態のTMR素子は、下地金属層上に、磁化自由層、トンネルバリア層、記憶層、カバー層/ハードマスクを順次形成した構成となっている。記憶層/トンネルバリア層/磁化自由層/カバー層/ハードマスクを順次形成した構成でも良い。すなわち、図2(b)に示す第1実施形態のTMR素子において、反強磁性層および磁化固定層(ピン層)の代わりに磁化自由層を設けた構成となっている。

【0063】そして、この実施形態のTMR素子において、記憶層は、図1に示す第1実施形態の場合と同様に、単層の強磁性層から構成されている。また、記憶層とトンネルバリア層との界面のラフネス(最大表面粗さ)は、0.4nm以上となるように構成されている。磁化自由層は少なくとも一つの強磁性層を含んでいる。

【0064】また、下地金属層は、第1実施形態と同様の構成となっている。

【0065】この第2実施形態のTMR素子も第1実施形態と同様に、サイズを小さくしてもスイッチング磁界を小さく保ったまま、MR変化率が大きく、熱安定性に優れた特性を得ることができる。

【0066】(第3実施形態)次に、本発明の第3実施形態による磁気メモリを、図面を参照して説明する。なお、この第3実施形態においては、磁気メモリの記憶素子としては、上記第1および第2実施形態で説明したTMR素子が用いられる。

【0067】図10乃至図13は、記憶素子としてTMR素子を用い、セル選択素子としてMOSトランジスタを用いた場合の本実施形態による磁気メモリの単位セルを単純化して表した断面図である。図10は、TMR素子の一端がビット線BLに、他端が引き出し電極、接続プラグを介して選択トランジスタのソースおよびドレインの一方に接続され、書き込みワード線WLがTMR素子の下方に設けられた構成の単位セルを示している。図11は、TMR素子の一端がワード線WLに、他端が引き出し電極、接続プラグを介して選択トランジスタのソースおよびドレインの一方に接続され、書き込みビット線BLがTMR素子の上方に設けられた構成の単位セルを示している。

【0068】図12は、図10に示す単位セルにおいて、ビット線BLおよびワード線WLが磁性体によって被覆された構成の単位セルを示し、図13は、図11に示す単位セルにおいて、ビット線BLおよびワード線WLが磁性体によって被覆された構成の単位セルを示している。

【0069】図14は、本実施形態による磁気メモリの第1の具体例のアーキテクチャを示す模式図である。すなわち、同図は、メモリアレーの断面構造を示しており、このアーキテクチャにおいては、読み出し/書き込み用ビット線BLに複数のTMR素子Cが並列に接続されている。それぞれのTMR素子Cの他端には、ダイオードDを介して読み出し/書き込み用ワード線WLが接続されている。また、各ワード線WLは、各ワード線WLを選択する選択トランジスタSTwを介してセンスアンプSAに接続された構成となっている。また、読み出し/書き込み用ビット線BLは、このビット線BLを選択するための選択トランジスタSTBを介して接地された構成となっている。

【0070】この図14に示す第1の具体例の磁気メモリにおいては、読み出し時には、目的のTMR素子Cに接続されているビット線BLとワード線WLとを選択トランジスタSTB、STwによりそれぞれ選択してセンスアンプSAにより電流を検出する。また、書き込み時には、やはり目的のTMR素子Cに接続されているビット線BLとワード線WLとを選択トランジスタSTB、STwにより選択して、書き込み電流を流す。この際

に、ビット線BLとワード線WLにそれぞれ発生する磁場を合成した書き込み磁場がTMR素子Cの記憶層の磁化を所定の方向に向けることにより、書き込みができる。

【0073】ダイオードDは、これら読み出し時あるいは書き込み時に、マトリクス状に配線されている他のTMR素子Cを介して流れる迂回電流を遮断する役割を有する。

【0074】次に、本実施形態による磁気メモリのアーキテクチャの第2の具体例を、図15を参照して説明する。

【0075】図15は、メモリアレーを層間化できるアーキテクチャの第2の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。

【0076】このアーキテクチャにおいては、読み出し/書き込み用ビット線BLwと読み出し用ビット線BLrとの間に複数のTMR素子Cが並列に接続された「ハンギング」の構成とされている。さらに、それぞれのTMR素子Cに近接して、書き込みワード線WLがビット線BLwと交差する方向に配線されている。

【0077】TMR素子への書き込みは、読み出し/書き込み用ビット線BLwに書き込み電流を流すことにより発生する磁場と、書き込みワード線WLに書き込み電流を流すことにより発生する磁場との合成磁場をTMR素子の記憶層に作用させることにより、行うことができる。

【0078】一方、読み出しの際には、ビット線BLw及びBLrの間で電圧を印加する。すると、これらの間で並列に接続されている全てのTMR素子に電流が流れる。この電流の合計をセンスアンプSAより検出しながら、目的のTMR素子に近接したワード線WLに書き込み電流を印加して、目的のTMR素子の記憶層の磁化を所定の方向に書き換える。この時の電流変化を検出することにより、目的のTMR素子の読み出しを行うことができる。

【0079】すなわち、書き換え前の記憶層の磁化方向が書き換え後の磁化方向と同一であれば、センスアンプSAにより検出される電流は変化しない。しかし、書き換え前後で記憶層の磁化方向が反転する場合には、センスアンプSAにより検出される電流が磁気抵抗効果により変化する。このようにして書き換え前の記憶層の磁化方向すなわち、格納データを読み出すことができる。但し、この方法は、読み出しの際に格納データを変化させる、いわゆる「破壊読み出し」に対応する。

【0080】これに対して、TMR素子の構成を、第2実施形態で説明した、磁化自由層/トンネルバリア層/磁気記録層、という構造とした場合には、「非破壊読み出し」が可能である。すなわち、この構造のTMR素子を用いる場合には、記憶層に磁化方向を記録し、読み出しの際には、磁化自由層の磁化方向を適宜変化させて

し磁性体によって被覆された構成の単位セルを示している。この配線構造を用いることにより、より効率的に電流磁界を印加でき、よりいっそうの省電力化、低電流化を実現することができるとともに、隣セルとの干渉、いわゆるクロストークを解消することができる。

【0069】図10乃至図13の単位セルを有する磁気メモリにおいて、読み出しはトランジスタにより選択されたTMR素子に電流を流し、TMR素子の抵抗が大きい小さいかで“1”か“0”を判断する。TMR素子に対する情報の書き込みは、その上下に設けられたワード線WLとビット線BLとに電流パルスを流すことにより生ずる磁場により行う。例えば、ビット線BLとワード線WLのそれぞれに電流を流すと、これらの周囲に電流磁場が生ずる。これら電流磁場を合成した磁場により、TMR素子の記憶層の磁化を反転させることができる。

【0070】この書き込みの際には、所定の方向に磁化を反転させるために、ビット線BLとワード線WLの双方に対して、所定方向の電流パルスを適宜流せばよい。このようにすれば、ビット線BLとワード線WLのいずれかの方に電流を流すことによって磁化反転を生じさせる場合と比較して、配線あたりの電流量を低減することができることとセル選択することができる。その結果として、配線の疲労が少なく、信頼性の高い磁気メモリを提供することができる。図12および図13に示したように、ビット線BLとワード線WLを磁性体で被覆すれば電流に伴う磁場効率を2倍(図11)以上5倍以上(図12)に上げることができ、より消費電力化が可能となる。

【0071】図14は、本実施形態による磁気メモリの第1の具体例のアーキテクチャを示す模式図である。すなわち、同図は、メモリアレーの断面構造を示しており、このアーキテクチャにおいては、読み出し/書き込み用ビット線BLに複数のTMR素子Cが並列に接続されている。それぞれのTMR素子Cの他端には、ダイオードDを介して読み出し/書き込み用ワード線WLが接続されている。また、各ワード線WLは、各ワード線WLを選択する選択トランジスタSTwを介してセンスアンプSAに接続された構成となっている。また、読み出し/書き込み用ビット線BLは、このビット線BLを選択するための選択トランジスタSTBを介して接地された構成となっている。

【0072】この図14に示す第1の具体例の磁気メモリにおいては、読み出し時には、目的のTMR素子Cに接続されているビット線BLとワード線WLとを選択トランジスタSTB、STwによりそれぞれ選択してセンスアンプSAにより電流を検出する。また、書き込み時には、やはり目的のTMR素子Cに接続されているビット線BLとワード線WLとを選択トランジスタSTB、STwにより選択して、書き込み電流を流す。この際

に、ビット線BLとワード線WLにそれぞれ発生する磁場を合成した書き込み磁場がTMR素子Cの記憶層の磁化を所定の方向に向けることにより、書き込みができる。

【0073】ダイオードDは、これら読み出し時あるいは書き込み時に、マトリクス状に配線されている他のTMR素子Cを介して流れる迂回電流を遮断する役割を有する。

【0074】次に、本実施形態による磁気メモリのアーキテクチャの第2の具体例を、図15を参照して説明する。

【0075】図15は、メモリアレーを層間化できるアーキテクチャの第2の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。

【0076】このアーキテクチャにおいては、読み出し/書き込み用ビット線BLwと読み出し用ビット線BLrとの間に複数のTMR素子Cが並列に接続された「ハンギング」の構成とされている。さらに、それぞれのTMR素子Cに近接して、書き込みワード線WLがビット線BLwと交差する方向に配線されている。

【0077】TMR素子への書き込みは、読み出し/書き込み用ビット線BLwに書き込み電流を流すことにより発生する磁場と、書き込みワード線WLに書き込み電流を流すことにより発生する磁場との合成磁場をTMR素子の記憶層に作用させることにより、行うことができる。

【0078】一方、読み出しの際には、ビット線BLw及びBLrの間で電圧を印加する。すると、これらの間で並列に接続されている全てのTMR素子に電流が流れる。この電流の合計をセンスアンプSAより検出しながら、目的のTMR素子に近接したワード線WLに書き込み電流を印加して、目的のTMR素子の記憶層の磁化を所定の方向に書き換える。この時の電流変化を検出することにより、目的のTMR素子の読み出しを行うことができる。

【0079】すなわち、書き換え前の記憶層の磁化方向が書き換え後の磁化方向と同一であれば、センスアンプSAにより検出される電流は変化しない。しかし、書き換え前後で記憶層の磁化方向が反転する場合には、センスアンプSAにより検出される電流が磁気抵抗効果により変化する。このようにして書き換え前の記憶層の磁化方向すなわち、格納データを読み出すことができる。但し、この方法は、読み出しの際に格納データを変化させる、いわゆる「破壊読み出し」に対応する。

【0080】これに対して、TMR素子の構成を、第2実施形態で説明した、磁化自由層/トンネルバリア層/磁気記録層、という構造とした場合には、「非破壊読み出し」が可能である。すなわち、この構造のTMR素子を用いる場合には、記憶層に磁化方向を記録し、読み出しの際には、磁化自由層の磁化方向を適宜変化させて

に、ビット線BLとワード線WLにそれぞれ発生する磁場を合成した書き込み磁場がTMR素子Cの記憶層の磁化を所定の方向に向けることにより、書き込みができる。

【0073】ダイオードDは、これら読み出し時あるいは書き込み時に、マトリクス状に配線されている他のTMR素子Cを介して流れる迂回電流を遮断する役割を有する。

【0074】次に、本実施形態による磁気メモリのアーキテクチャの第2の具体例を、図15を参照して説明する。

【0075】図15は、メモリアレーを層間化できるアーキテクチャの第2の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。

【0076】このアーキテクチャにおいては、読み出し/書き込み用ビット線BLwと読み出し用ビット線BLrとの間に複数のTMR素子Cが並列に接続された「ハンギング」の構成とされている。さらに、それぞれのTMR素子Cに近接して、書き込みワード線WLがビット線BLwと交差する方向に配線されている。

【0077】TMR素子への書き込みは、読み出し/書き込み用ビット線BLwに書き込み電流を流すことにより発生する磁場と、書き込みワード線WLに書き込み電流を流すことにより発生する磁場との合成磁場をTMR素子の記憶層に作用させることにより、行うことができる。

【0078】一方、読み出しの際には、ビット線BLw及びBLrの間で電圧を印加する。すると、これらの間で並列に接続されている全てのTMR素子に電流が流れる。この電流の合計をセンスアンプSAより検出しながら、目的のTMR素子に近接したワード線WLに書き込み電流を印加して、目的のTMR素子の記憶層の磁化を所定の方向に書き換える。この時の電流変化を検出することにより、目的のTMR素子の読み出しを行うことができる。

【0079】すなわち、書き換え前の記憶層の磁化方向が書き換え後の磁化方向と同一であれば、センスアンプSAにより検出される電流は変化しない。しかし、書き換え前後で記憶層の磁化方向が反転する場合には、センスアンプSAにより検出される電流が磁気抵抗効果により変化する。このようにして書き換え前の記憶層の磁化方向すなわち、格納データを読み出すことができる。但し、この方法は、読み出しの際に格納データを変化させる、いわゆる「破壊読み出し」に対応する。

【0080】これに対して、TMR素子の構成を、第2実施形態で説明した、磁化自由層/トンネルバリア層/磁気記録層、という構造とした場合には、「非破壊読み出し」が可能である。すなわち、この構造のTMR素子を用いる場合には、記憶層に磁化方向を記録し、読み出しの際には、磁化自由層の磁化方向を適宜変化させて

に、ビット線BLとワード線WLにそれぞれ発生する磁場を合成した書き込み磁場がTMR素子Cの記憶層の磁化を所定の方向に向けることにより、書き込みができる。

【0073】ダイオードDは、これら読み出し時あるいは書き込み時に、マトリクス状に配線されている他のTMR素子Cを介して流れる迂回電流を遮断する役割を有する。

【0074】次に、本実施形態による磁気メモリのアーキテクチャの第2の具体例を、図15を参照して説明する。

【0075】図15は、メモリアレーを層間化できるアーキテクチャの第2の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。

ンス電流を比較することにより、記憶層の磁化方向を読み出すことができる。但しこの場合には、記憶層の磁化反転磁場よりも磁化自由層の磁化反転磁場のほうが小さくなるように設計する必要がある。

【0081】図16は、本実施形態による磁気メモリのアーキテクチャの第3の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。

【0082】このアーキテクチャにおいては、読み出し/書き込み用ビット線BLwに複数のTMR素子Cが並列に接続され、これらTMR素子Cの他端には、それぞれ読み出し用ビット線BLrがマトリクス状に接続されている。さらに、これら読み出し用ビット線BLrに近接して、書き込み用ワード線WLが配線されている。

【0083】TMR素子Cへの書き込みは、読み出し/書き込み用ビット線BLwに書き込み電流を流すことにより発生する磁場と、書き込みワード線WLに書き込み電流を流すことにより発生する磁場との合成磁場をTMR素子の記憶層に作用させることにより、行うことができる。

【0084】一方、読み出しの際には、選択トランジスタSTにより書き込みビット線BLwと読み出しビット線BLrとを選択することにより、目的のTMR素子にセンス電流を流してセンスアンプSAにより検出することができる。

【0085】次に、本実施形態による磁気メモリのアーキテクチャの第4の具体例を、図17を参照して説明する。

【0086】図17は、本実施形態による磁気メモリのアーキテクチャの第4の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を示す。読み出し用ビット線BLrがリード線を介してTMR素子Cに接続され、TMR素子Cの直下には書き込み用ワード線WLが配線されている点が異なる。このようにすると、TMR素子Cと書き込みワード線WLとを図16の構造よりも接近させることができる。その結果として、ワード線WLからの書き込み磁場をTMR素子に対してより効果的に作用させることができる。

【0087】次に、差動増幅型、多値型アーキテクチャについて説明する。

【0088】図18、図19に、本実施形態による磁気メモリの差動増幅型、多値型アーキテクチャをそれぞれ示す。図18(a)および図18(b)は、本実施形態による磁気メモリの差動増幅型アーキテクチャの正面図および側面図をそれぞれ示し、図19(a)および図19(b)は、本実施形態による磁気メモリの多値型アーキテクチャの正面図および側面図をそれぞれ示す。

【0089】それぞれの型の磁気メモリにおいて、ビット線BLと、ワード線WL1、WL2および読み出し用配線RL1、RL2とが交差するように配線され、ビット線BLとワードWL1、WL2の交差点にTMR素子

TMR1、TMR2が設けられている。このようにTMRセルを縦方向に積層することによって差動増幅、多値メモリにしてもセル面積を大きくすることが避けられる。

【0090】図18において、読み出し時はビット線BLから電流を流し、読み出し用配線RL1、RL2の終端に設けられたセンスアンプにより差動増幅を行う。また、TMR素子TMR1、TMR2の信号出力を変えた場合、このアーキテクチャは多値化が可能となる。なお、図18においては、TMR素子TMR1、TMR2は、強磁性一重トンネル接合である。

【0091】図19において、後に詳述するように、ビット線BL、ワード線WL1、WL2とTMR素子C1、C2との接続関係については、各種の具体例を採用することができる。例えば、書き込み用と読み出し用の2本のビット線を設けてTMR素子に接続してもよい。また、ワード線WLは、TMR素子C1、C2に対して接続する場合も接続しない場合もある。

【0092】TMR素子C1、C2は、記憶層を有する。この記憶層に、磁化固定層に対して、互いに略反平行な磁化方向M1、M2を有し、磁気抵抗効果素子の磁化固定層の磁化の方向に対して反平行、平行にスピン情報を書きこみ、ビット線BLから流したセンス電流を上記TMR素子に流し、差動増幅を行うことで“1”、“0”を判断する。なお、TMR素子C1は強磁性一重トンネル接合であり、TMR素子C2は強磁性二重トンネル接合である。

【0093】また、多値記録に際しては、上記記憶層に、TMR素子の磁化固定層の磁化の方向に対して反平行、平行にスピン情報を書きこみ、ビット線BLから流したセンス電流を上記TMR素子に流し、差動増幅を行うことで多値情報を検出する。

【0094】図18(b)に本実施形態による差動増幅型アーキテクチャを用いた場合の書きこみ方法、および、TMRセルのスビンの方向を合わせて示している。差動増幅型の場合には、ワード線WLの長手軸方向にTMR素子の容易軸が形成されていることが好ましい。ワードWLの長手軸方向にTMR素子の容易軸が形成されていると、ビット線BLの電流パルスが上下のTMR素子に印加する磁場の方向と略180度異なるため、上下のTMRセルに一度に書きこみを行うことができ、高速書きこみが可能となる。

【0095】図19(b)に本実施形態による多値記録型アーキテクチャの書きこみ方法、および、実際のTMRセルのスビンの方向を合わせて示している。多値記録型アーキテクチャの場合は、上下のTMR素子に任意に記録情報を記録することが求められるため、ビット線BLの長手軸方向にTMR素子の容易軸が形成されていることが好ましい。ビット線BLの長手軸方向にTMR素子の容易軸が形成されていると、ワード線WL1、WL2

2により上下のTMR素子に任意な情報記録が可能となり、多値記録が可能となる。

【0096】なお、図14～図17に示したアーキテクチャは多層に積層し、大容量化を図ることができる他、前述した差動型、多値型アーキテクチャ、または、それらを積層したアーキテクチャを用いることができる。その場合、例えば図20に示したようにビット線BLを共用した方が好ましく、共用したビット線BLにはビット線BLの側壁に磁性被覆配線を用いることが好ましい。

【0097】以上説明したように、第3実施形態の磁気メモリによれば、MR比が大きく、熱安定性が優れ、スイッチング磁場が小さな、第1または第2実施形態のTMR素子を記憶素子として用いているので、高集積化及び低消費電力化が可能となる。

【0098】

【発明の効果】以上述べたように、本発明によれば、サイズを小さくしても、MR比が大きく、熱安定性が優れ、スイッチング磁場が小さな磁気抵抗効果素子およびこの磁気抵抗効果素子を用いた磁気メモリを得ることができる。

【図面の簡単な説明】

【図1】第1実施形態の磁気抵抗効果素子の構成を示す構成断面図。

【図2】第1実施形態の磁気抵抗効果素子に係る磁化固定層の構成を示す断面図。

【図3】本発明の第1実施形態による磁気抵抗効果素子の記憶層の構成にCo-Fe-Niを用いた場合のMR特性、スイッチング磁場特性を示す、Co-Fe-Ni三元状態図。

【図4】第1実施形態と比較例1、2の磁気抵抗効果素子のデータリテンションの信頼性試験を行った結果を示す図。

【図5】より好ましい記憶層の構成を示すCo-Fe-Ni三元状態図。

【図6】第1実施形態の磁気抵抗効果素子の形状を示す図。

【図7】磁気抵抗効果素子のMR変化率のアニール時間依存性を示す図。

\*【図8】劣化時間定数とアニール温度との関係を示す図。

【図9】第2実施形態の磁気抵抗効果素子の構成を示す断面図。

【図10】第3実施形態の磁気メモリに用いられる単位メモリスセルの一具体例を示す図。

【図11】第3実施形態の磁気メモリに用いられる単位メモリスセルの一具体例を示す図。

【図12】第3実施形態の磁気メモリに用いられる単位メモリスセルの一具体例を示す図。

【図13】第3実施形態の磁気メモリに用いられる単位メモリスセルの一具体例を示す図。

【図14】第3実施形態による磁気メモリのアーキテクチャの第1の具体例を示す図。

【図15】第3実施形態による磁気メモリのアーキテクチャの第2の具体例を示す図。

【図16】第3実施形態による磁気メモリのアーキテクチャの第3の具体例を示す図。

【図17】第3実施形態による磁気メモリのアーキテクチャの第4の具体例を示す図。

【図18】第3実施形態による磁気メモリの第5の具体例を示す図。

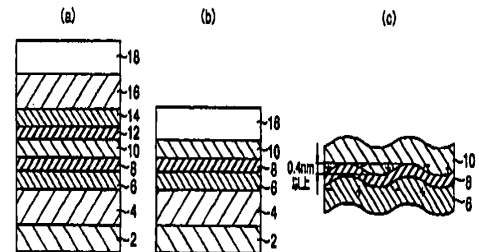
【図19】第3実施形態による磁気メモリのアーキテクチャの第6の具体例を示す図。

【図20】第3実施形態による磁気メモリのアーキテクチャの第7の具体例を示す図。

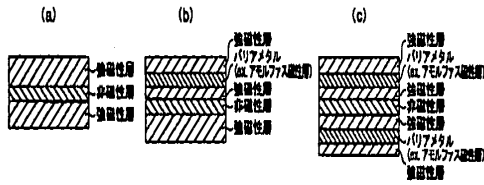
【符号の説明】

- 2 下地金属層
- 4 反強磁性層
- 6 磁化固定層
- 8 トンネルバリア層
- 10 記憶層
- 12 トンネルバリア層
- 14 磁化固定層
- 16 反強磁性層
- 18 カバー層/ハードマスク

【図1】

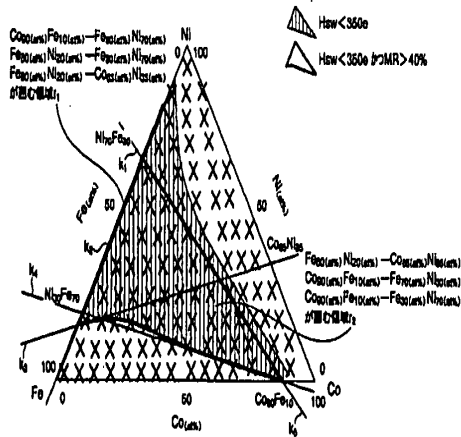


【図2】

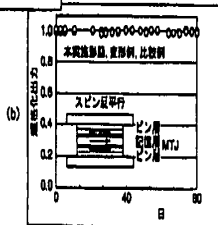
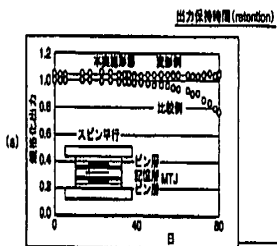


トンネルバリア層に近い磁性層を置くまたはバリア層を挿入

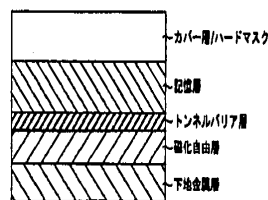
【図3】



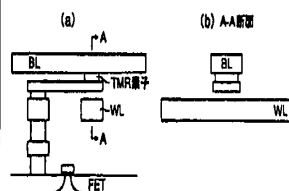
【図4】



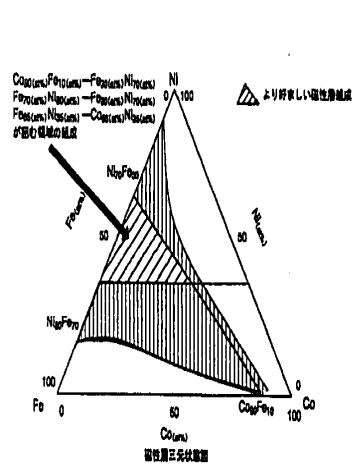
【図9】



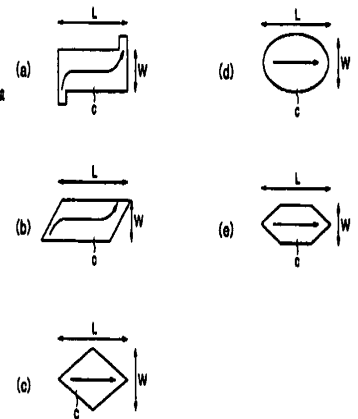
【図10】



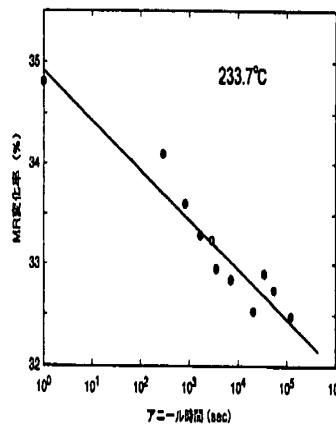
【図5】



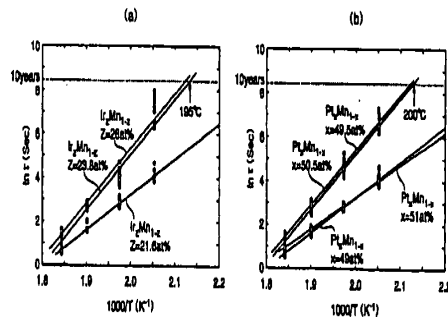
【図6】



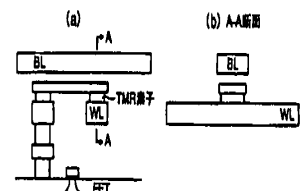
【図7】



【図8】

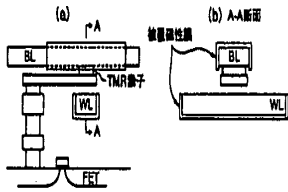


【図11】

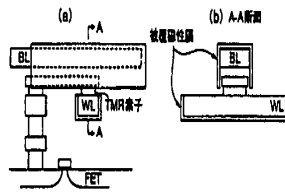




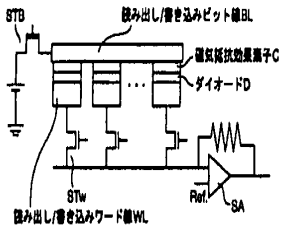
【図12】



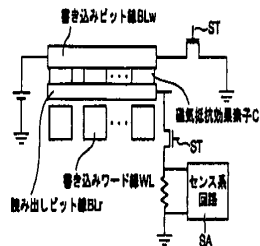
【図13】



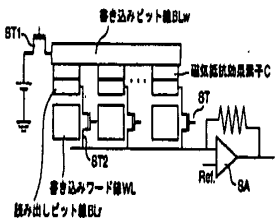
【図14】



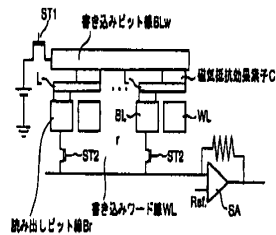
【図15】



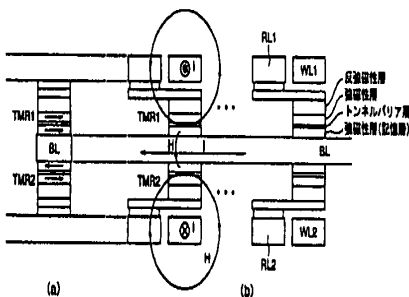
【図16】



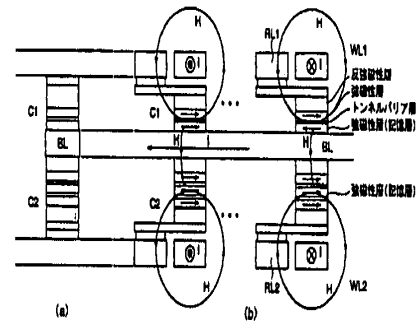
【図17】



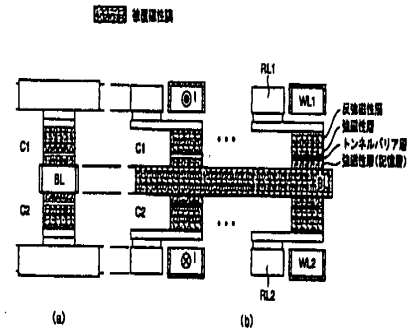
【図18】



【図19】



【図20】



フロントページの続き

(51)Int. Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H01F 10/32		H01F 10/32	
H01L 27/105		H01L 27/10	447

(72)発明者 與田 博 明

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

Fターム(参考) 5E049 AA04 AC05 BA06 BA12 BA16  
5F083 F210 GA12 GA27 HA02 JA14  
JA36 JA37 JA38 JA39 KA01  
ZA21